



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03096267 A**(43) Date of publication of application: **22.04.91**

(51) Int. Cl. **H01L 27/04**
H01L 21/82
H01L 27/06

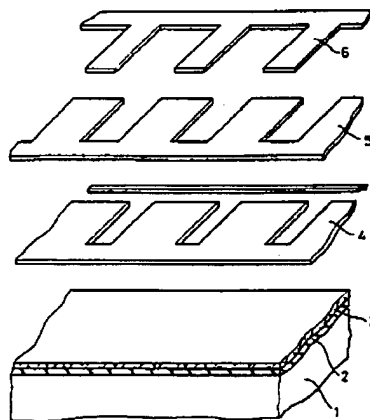
(21) Application number: **01233531**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **08.09.89**(72) Inventor: **HASHIMOTO KENJI****(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE****(57) Abstract:**

PURPOSE: To obtain a device provided with a capacitor having excellent characteristics which can be manufactured readily without adding a special step by forming an insulating film having an opening on a polycrystalline semiconductor layer, providing a metal electrode which is connected to the polycrystalline semiconductor layer through the opening thereon, and providing a metal electrode which is arranged on the insulating film.

CONSTITUTION: A polycrystalline semiconductor layer, a semiconductor element including a metal layer and a capacitor are provided in a semiconductor integrated circuit device. The capacitor is formed by the following way. A polycrystalline semiconductor layer 3 is formed on a semiconductor substrate 1 through an insulating film 2. An insulating film 4 between electrode plates is formed on the polycrystalline substrate layer 3 and has an opening at least at the teeth part of the specified comb shape. A pair of comb-shaped metal electrodes 5 and 6 are formed on the insulating film 4 between the electrode plates. One electrode 6 has the specified comb shape and is electrically connected to the polycrystalline semiconductor layer 3 through the

opening. The other electrode 5 has the main electrode plate between the teeth and the teeth of the specified comb patterns. For example, said metal electrodes 5 and 6 are formed by patterning the same metal layer.

COPYRIGHT: (C)1991,JPO&Japio



⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A) 平3-96267

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑰ 公開 平成3年(1991)4月22日

H 01 L 27/04
21/82
27/06

C 9056-5F

8225-5F H 01 L 21/82 L
8728-5F 27/06 101 D

審査請求 未請求 請求項の数 1 (全6頁)

⑱ 発明の名称 半導体集積回路装置

⑲ 特 願 平1-233531

⑳ 出 願 平1(1989)9月8日

㉑ 発 明 者 橋 本 賢 治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

(1). 多結晶半導体層と金属層を含む半導体素子と
キャパシタとを有する半導体集積回路装置であ
って、該キャパシタが、

半導体基板(1)上に絶縁膜(2)を介して
形成された多結晶半導体層(3)と、

該多結晶半導体層(3)上に形成され、所定
のくし型の少なくとも歯の部分に開口を有する
極板間絶縁膜(4)と、

該極板間絶縁膜(4)の上に形成された1対
のくし型金属電極(5、6)であってその1方
(6)は前記所定のくし型を有し、前記開口を
通して前記多結晶半導体層(4)に電氣的に接
続され、他方(5)は前記所定のくし型の歯と
歯の間に主極板部分を有する金属電極(5、6)
と

を有する半導体集積回路装置。

3. 発明の詳細な説明

[要 約]

キャパシタを備えた半導体集積回路装置に関し、
特別の工程を付加することなく、容易に作成す
ることのできる、特性のすぐれたキャパシタを備
えた半導体集積回路装置を提供することを目的と
し、

多結晶半導体層と金属層を含む半導体素子とキ
ャパシタとを有する半導体集積回路装置であって、
該キャパシタが、半導体基板上に絶縁膜を介して
形成された多結晶半導体層と、該多結晶半導体層
上に形成され、所定のくし型の少なくとも歯の部
分に開口を有する極板間絶縁膜と、該極板間絶縁
膜の上に形成された1対のくし型金属電極であっ
てその1方は前記所定のくし型を有し、前記開口
を通して前記多結晶半導体層に電氣的に接続され、
他方は前記所定のくし型の歯と歯の間に主極板部
分を有する金属電極とを有する用に構成する。

〔産業上の利用分野〕

本発明は半導体集積回路装置に関し、特にキャパシタを備えた半導体集積回路装置に関する。

半導体集積回路装置においては、高集積化、高速化に伴い、極性、電圧依存性、シリーズ抵抗の少い精度のよいキャパシタが要求されている。

〔従来の技術〕

第2図は従来の技術によるpn接合を用いたキャパシタを示す。たとえば、p型Siからなる半導体基板51の上に、n+型埋込み層52が形成され、その上にn型エピタキシャル層53が形成され、半導体チップ50を形成する。このn型エピタキシャル層53中に、p+型半導体領域54がイオン注入、拡散等によって形成され、また、表面からn+型埋込み層52に到達するn+型引出し領域54がイオン注入、拡散等により形成される。p+型領域54とn型領域53との間に形成されるpn接合がキャパシタを構成する。p+半導体領域54とn+型引出し領域54との上にそ

を作成すること等も行われている。

一方、バイポーラトランジスタ集積回路装置において、バイポーラトランジスタは小型化される傾向にあり、たとえばESPER構造等が採用されている。このような小型化されたバイポーラトランジスタ構造においては、外部ベース領域ないしはエミッタ領域が半導体チップ表面上に形成された多結晶半導体層からの拡散によって作成される。すなわち、半導体チップ表面上には多結晶半導体層と電極用の金属層とが存在する。

第3図(A)、(B)は、本出願人の他の出願によって提案された新規な構造のキャパシタを示す。第3図(B)の断面図を参照して説明すると、半導体チップ50表面上にはSiO₂層61が形成されており、この上に多結晶シリコン層59が形成される。この多結晶シリコン層59は不純物でドーパされて導電性を有する。この多結晶シリコン層59の上にSiO₂層62が形成され、ホトリソグラフィによって開口63が形成される。この開口は、たとえば第3図(A)に示すように、目

それぞれアノード電極57、カソード電極56が形成される。

このように、従来の技術によるpn接合を用いたキャパシタは、通常半導体チップ50内に作成される。このため、専用の半導体チップ面積を必要とする。また、作成するキャパシタ容量の大きさは、pn接合の面積とpn接合両側の不純物密度とに関係する。耐圧を十分得るためには、pn接合の少なくとも一方の領域の不純物密度をある程度低くする。印加電圧によってpn接合周囲の空乏層幅が変化し、キャパシタ容量が変化する。

多くのバイポーラトランジスタ集積回路装置の場合にそうであるように、第2図に示すような、p型基板の上にn型エピタキシャル層を成長した半導体チップに半導体集積回路装置を作成するような場合には、キャパシタは主にpn接合を利用して作成されていた。その他の形式の半導体集積回路装置(たとえばDRAM)の場合には、半導体チップ表面上に、たとえばダブルポリシリコン(2層多結晶シリコン層)を利用してキャパシタ

的とするキャパシタ領域の両端に設けられている。SiO₂層62の上に、たとえばアルミニウムからなる金属電極層が形成され、ホトリソグラフィによって2種類の電極56、57がパターンニングされる。すなわち、中央の金属電極57がSiO₂層62を介して多結晶シリコン層59と対向し、キャパシタを構成する。多結晶シリコン層59は対向電極57の両側方において金属電極56によって電気的に導出されている。

〔発明が解決しようとする課題〕

半導体チップ内に形成されたpn接合キャパシタは、小面積で大容量がとれる利点を有するが、極性が制限されること、容量を大きくすると耐圧が制限され易いこと、電圧依存性があること等の問題を有する。

多結晶シリコンを利用するキャパシタは、半導体チップ表面上に作成することができる利点を有するが、多結晶半導体は一般的に抵抗が比較的高く、特に高周波において残留抵抗のため特性のよ

い容量が作りにくい。

本発明の目的は、特別の工程を付加することなく、容易に作成することのできる、特性のすぐれたキャパシタを備えた半導体集積回路装置を提供することである。

[課題を解決するための手段]

第1図は本発明の原理説明図である組み立て図を示す。半導体基板1上に絶縁膜2が形成されており、その上に多結晶半導体層3が形成されている。この多結晶半導体層3の上に所定の開口パターンを有する絶縁膜4が形成され、その上に所定の開口を介して、多結晶半導体層3とコンタクトする多結晶半導体用の金属電極6及び、絶縁膜4の上に配置される他方の金属極板5が設けられる。金属極板5と電極6とは同一の金属層からパターンニングして作成することができる。また、金属極板5と電極6とを重ね合せた場合、両者はその間に一定の間隔を有する。金属極板5はくし型を有しており、そのくしの歯の部分太く、ここでキ

くすることができる。

[実施例]

第4図(A)～(C)に本発明の実施例による半導体集積回路装置を示す。第4図(A)、(B)がキャパシタ部分の断面及び平面を示し、第4図(C)が半導体集積回路装置の他の部分であるトランジスタ部の断面を示す。

第4図(A)、(B)において、シリコン基板11の表面にフィールド酸化膜12が形成されており、この上に多結晶シリコン層13が形成される。この多結晶シリコン層13は不純物でドーパされており、十分低い抵抗率を有する。この多結晶シリコン層の表面上に層間絶縁膜となる SiO_2 膜14が形成される。この SiO_2 膜14の所定部分にフォトリソグラフィによって開口18が形成される。 SiO_2 膜14の上に全面にアルミニウム層がスパッタリング、蒸着等によって作成され、フォトリソグラフィによって、第4図(B)に示すような、2つのくし歯状部分15、16にパタ

ンニングされる。電極6はやはりくし型であり、歯の部分16が比較的細く、この部分で絶縁膜4の開口を介して多結晶半導体層3と接触する。電極6のくしの歯と歯の間隔は、極板5のくしの歯の幅以上である。

このキャパシタ作成に用いられる多結晶半導体層3、絶縁膜4、電極5、6はそれぞれ半導体装置の他の部分の構成を作成する際に利用される部材と同一の部材から作成される。

[作用]

半導体チップ表面上に絶縁膜4を介して多結晶半導体層3と金属電極5とが対向してキャパシタを構成し、多結晶半導体層3はくしの歯状に電極と接触するので、特性の優れたキャパシタを作成することができる。

半導体集積回路装置の他の部分を作成するのと同じ部材を利用してキャパシタを作成することができ、特別の工程を付加する必要性が少い。

絶縁物によって分離されているので、耐圧を高

めることができる。

一方のくし歯状形状15はくしの歯の部分16が広い形状を有する。他方のくし歯形状16は一方のくし歯形状15の歯と歯の間に歯が入り込む形状を有し、開口18を介して多結晶シリコン層13と電気的に接触する。くし歯極板15下の多結晶シリコン層13の領域は、開口部18から距離が一定値以下に保たれるので、付随する抵抗値が小さいものとなっている。

たとえば、フィールド酸化膜12の厚さは、約6000Åであり、その上の多結晶シリコン層13は厚さ約3000～4000Å、シート抵抗約100Ω/□程度のCVDで作成した膜である。またその上の SiO_2 膜14は、厚さ約2000ÅのCVD膜である。

半導体集積回路装置の他の部分には、第4図(C)に示すようなトランジスタが形成される。半導体チップ11の表面上に選択的にフィールド酸化膜12が形成されている。フィールド酸化膜12で画定された領域上にバイポーラトランジス

タが形成されている。すなわち、チップ表面上に多結晶シリコン層23が作成され、この多結晶シリコン層23と接触している半導体チップ表面部に外部ベース領域27が拡散によって形成されている。外部ベース領域27に挟まれた部分には、内部ベース領域28がイオン注入によって形成されている。チップ表面上では多結晶シリコン層23を覆って SiO_2 膜24、25が形成され、さらに開口部側壁には多結晶シリコン領域26が形成されている。残った開口部内に他の不純物ドーパ多結晶シリコン層33が形成され、その下にエミッタ領域35を拡散で形成している。

一方、フィールド酸化膜を介してベース領域と分離されたコレクタ領域30の上には多結晶シリコン層36が形成されている。多結晶シリコン層33、23、36の上にはアルミニウムの電極37、38、39が作成されている。

第4図(A)を第4図(C)と比較して説明すると、フィールド酸化膜12は同時に作成される酸化膜であり、多結晶シリコン膜13は第4図

(C)の多結晶シリコン膜23と同時に作成された膜である。 SiO_2 膜14は第4図(C)の SiO_2 膜24、25のいずれかと同時に作成された SiO_2 膜であり、電極15、16は第4図(C)の電極36、37、38と同時に作成されたアルミニウム層である。

このように、第4図(C)に示すバイポーラトランジスタ構造を作る工程と同時に他の場所において、第4図(A)に示すキャパシタ構造を作成することができる。

第5図(A)、(B)は、以上説明した、キャパシタを利用する応用回路の例を示す。

第5図(A)においては、電子回路20の内にはバイポーラトランジスタからなる差動増幅段が作成されており、その電源配線VCCとVEEとが外部に電源端子として導出されている。この電源端しVCCとVEEとの間に交流成分バイパス用のキャパシタC0が接続されている。このようなキャパシタC0はなるべく容量が大きいことが望ましく、かなりの耐圧を必要とする。

第4図(A)、(B)に示したような、本発明の実施例によるキャパシタはこのような目的に適用している。

第5図(B)は、バイポーラECL論理回路の種々の基準バイアス電圧の端子が外部に導出されており、それらの基準電位を安定化するためにキャパシタが接続されている例を示す。

すなわち、電子回路20から最も正の電源端子VCC、最も負の電源端子VEEの他に、基準電位VREF、VCS等が導出されている。VCSとVEEとの間にキャパシタC2が接続され、VREFとVCC及びVEEとの間にキャパシタC3、C4が接続されている。これらのキャパシタの存在により、各基準電位が安定化する。外乱等が生じても電源電圧が変動することが少い。

以上実施例に沿って説明したが本発明はこれらに制限されるものではない。

たとえば、種々の変更、改良、組み合わせ等が可能なのは当業者に自明であろう。

[発明の効果]

以上説明したように、本発明によれば、多結晶半導体層と金属層とを利用した特性の優れたキャパシタを有する半導体集積回路装置を得ることができる。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は従来の技術によるキャパシタを示す断面図、

第3図(A)、(B)は出願人の他の出願に係るキャパシタを示し、第3図(A)は平面図、第3図(B)は断面図、

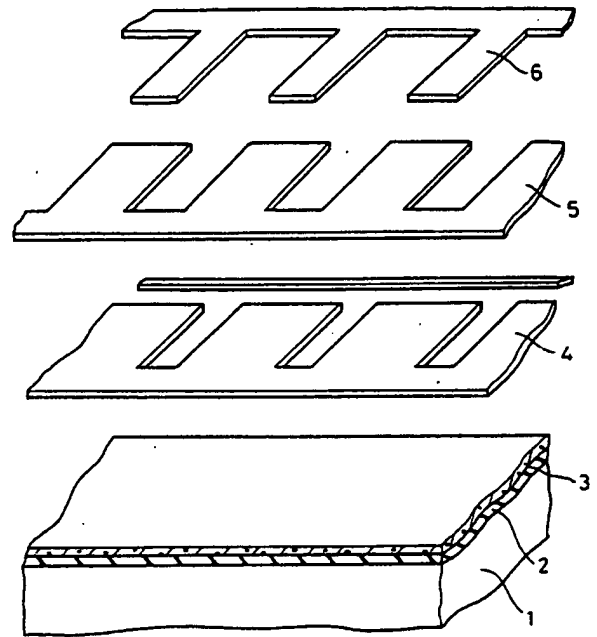
第4図(A)、(B)、(C)は本発明の実施例による半導体集積回路装置を示し、第4図(A)、(B)はキャパシタ部の断面図、及び平面図、第4図(C)はトランジスタ部の断面図、

第5図(A)、(B)は応用回路の例を示す回路図である。

図において、

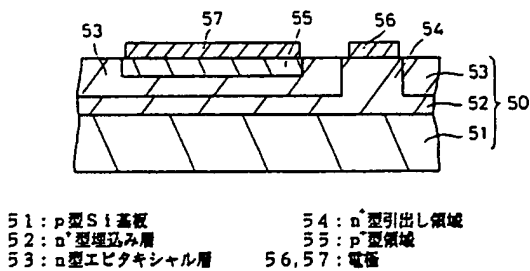
- | | |
|-------|--------------------|
| 1 | 半導体基板 |
| 2、4 | 絶縁膜 |
| 3 | 多結晶半導体層 |
| 5 | 金属極板 |
| 6 | 多結晶半導体層用の電極 |
| 11 | Si基板 |
| 12、14 | SiO ₂ 膜 |
| 13 | ポリシリコン層 |
| 15、16 | アルミニウム電極 |
| 18 | 開口 |

特許出願人 富士通株式会社
代理人 弁理士 井桁貞 2名

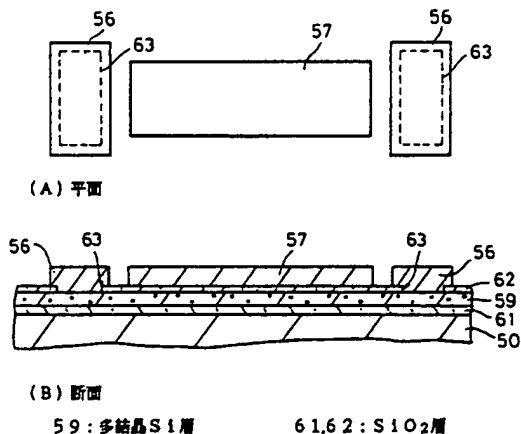


- | | |
|------------|----------------|
| 1: 半導体基板 | 5: 金属極板 |
| 2, 4: 絶縁膜 | 6: 多結晶半導体層用の電極 |
| 3: 多結晶半導体層 | |

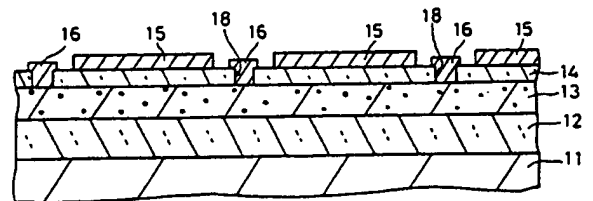
本発明の原理説明図
第1図



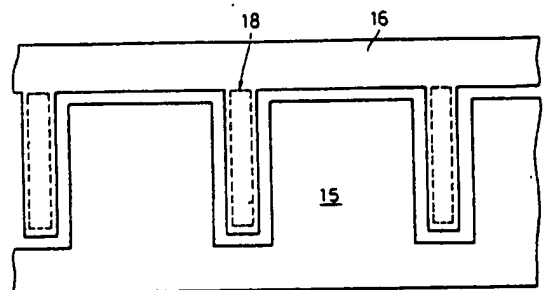
従来技術によるキャパシタ
第2図



出願人の他の出願に係るキャパシタ
第3図

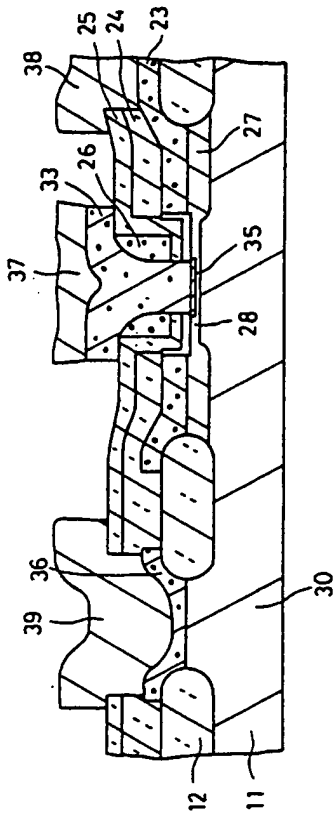


(A) キャパシタ部断面



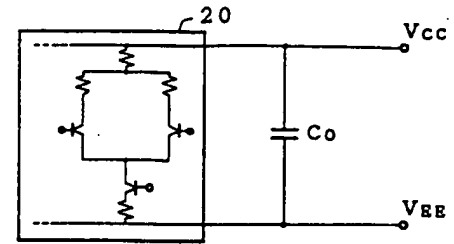
(B) キャパシタ部平面

- | |
|----------------------------|
| 11: Si基板 |
| 12, 14: SiO ₂ 膜 |
| 13: ポリSi層 |
| 15, 16: Al電極 |
| 18: 開口 |
- 本発明の実施例
第4図(その1)

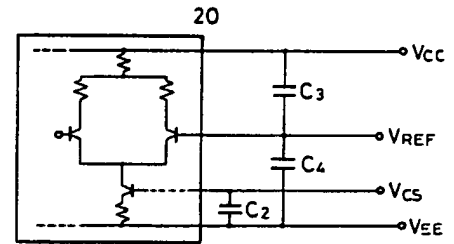


(C) トランジスタ断面図

本発明の実施例
第4図(その2)



(A) その1



(B) その2

20: 電子回路
C: キャパシタ

応用回路の例
第5図

手続補正書(方式)

平成 2. 1. 12 日

特許庁長官 殿

1. 事件の表示 平成 1 年 特許願 第 2 3 3 5 3 1 号

2. 発明の名称 半導体集積回路装置

3. 補正をする者

事件との関係 特許出願人
郵便番号 211
住 所 神奈川県川崎市中原区上小田中1015番地
(522) 名 称 富士通株式会社
代表者 山本 卓哉

4. 代理人郵便番号 211

住 所 神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(7259) 氏 名 井理士 井桁 貞一 (ほか2名)

5. 補正命令の日付 平成 1 年 12 月 11 日
(発送日) (平成 1 年 12 月 26 日)

6. 補正の対象 明細書の図面の簡単な説明の欄

7. 補正の内容 明細 第14頁、第8行「第2図は」に補正する。

平成 2. 1. 16

特許庁

2. 1. 16

立 封 印